

日 本 国 特 許
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 5月29日

出 願 番 号
Application Number:

特願2000-158023

出 願 人
Applicant (s):

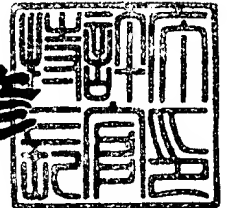
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 6月23日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3048283

4 0500

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Yoshihiro MIYAMOTO

Serial No.: 09/604,072

Filed: June 26, 2000

For: SOLID-STATE IMAGING DEVICE



Group Art Unit: Unassigned

Examiner: Unassigned

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D. C. 20231

Date: July 19, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

2000-158023, Filed May 29, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our
Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN, HATTORI,
McLELAND & NAUGHTON

A handwritten signature in cursive script, appearing to read "William L. Brooks".

William L. Brooks
Attorney for Applicant
Reg. No. 34,129

Atty. Docket No. 000808
1725 K Street, N.W., Suite 1000
Washington, DC 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WLB:mlg

【書類名】 特許願

【整理番号】 0040026

【提出日】 平成12年 5月29日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 27/14
H04N 5/335

【発明の名称】 固体撮像装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

【氏名】 宮本 義博

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第182589号

【出願日】 平成11年 6月28日

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射光を光電変換する感光部と、前記感光部に蓄積された電荷を移送する移送ゲートと、前記移送ゲートから移送された前記電荷を蓄積するリセット可能な検出容量と、選択信号に基づいて前記検出容量の電荷を出力する選択スイッチとを有する複数の画素と、

前記画素に接続され、前記検出容量の電荷を電圧に変換する電荷増幅器と、

前記電荷増幅器の出力電圧をサンプルホールドする相関二重サンプリング回路とを有し、

前記検出容量がリセットされた時の電荷に応じて前記電荷増幅器が出力するリセットレベルと、前記移送ゲートから移送された電荷に応じて前記電荷増幅器が出力する検出レベルとの差電圧が、前記相関二重サンプリング回路から出力されることを特徴とする固体撮像装置。

【請求項 2】 請求項 1 記載の固体撮像装置において、

前記電荷増幅器は、容量帰還型インピーダンス変換回路であること
を特徴とする固体撮像装置。

【請求項 3】 入射光を光電変換して電荷を蓄積する感光部と、前記感光部に接続されリセット信号に応答して導通して前記感光部を空乏化するリセットゲートと、前記感光部に接続され選択信号に応答して導通し前記感光部が蓄積した電荷を出力する移送ゲートとを有する複数の画素と、

前記画素に接続され、前記出力された電荷を電圧に変換する電荷増幅器と、

前記電荷増幅器の出力電圧をサンプルホールドする相関二重サンプリング回路とを有し、

前記電荷増幅器をリセットした時の出力のリセットレベルと、前記画素から出力された電荷に応じて前記電荷増幅器が出力する検出レベルとの差電圧が、前記相関二重サンプリング回路から出力されることを特徴とする固体撮像装置。

【請求項 4】 請求項 3 において、

前記感光部は、第 1 の導電型半導体領域内に所定の深さに形成された第 2 の導

電型のカソード領域により形成され、

前記リセットゲートは、前記カソード領域と、前記第 1 の導電型半導体領域上に形成されたりセットゲート電極と、前記第 1 の導電型半導体領域内に形成され前記カソード領域より濃度の高い第 2 導電型のドレイン領域とにより形成される MOS 型トランジスタであることを特徴とする固体撮像装置。

【請求項 5】請求項 4 において、

前記移送ゲートは、前記カソード領域と、前記第 1 の導電型半導体領域上に形成された移送ゲート電極と、前記第 1 の導電型半導体領域内に形成され前記電荷増幅器の入力に接続される第 2 の導電型の出力領域とにより形成される MOS 型トランジスタであることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子で構成された固体撮像装置に関し、特に、CMOS プロセスで製造される XY アドレス型固体撮像装置に関する。更に、本発明は、固定パターン雑音と熱雑音の影響を排除することができる固体撮像装置に関する。

【0002】

【従来の技術】

固体撮像装置には、CMOS でイメージセンサを構成した XY アドレス型固体撮像装置と、電荷転送型イメージセンサで構成された、いわゆる CCD 固体撮像装置とがある。CMOS イメージセンサを用いた XY アドレス型固体撮像装置は特殊な製造プロセスを必要とせず、また単一電源で駆動して消費電力も小さく、さらに各種信号処理回路を同一チップ上に搭載できることから、CCD 固体撮像装置に代わるものとして有望視されている。

【0003】

この CMOS イメージセンサを用いた従来の XY アドレス型固体撮像装置を図 7 を用いて説明する。図 7 は、従来の XY アドレス型イメージセンサの 1 画素分の回路例を示している。図 7 に示す従来の CMOS イメージセンサは、各画素にソースフォロワ等のバッファ 404 を搭載する APS (Active Pixel

1 Sensor) と呼称される構成を有している。フォトダイオード400のカソード側は、バッファ404のゲート電極とMOSFETのリセットスイッチ402に接続されている。また、バッファ404は水平選択スイッチ406を介して垂直選択線408と接続されている。

【0004】

この従来のXYアドレス型固体撮像装置の動作を簡単に説明する。まず、リセット信号RSTによりリセットスイッチ402が所定のタイミングでオンになると、フォトダイオード400がリセット電位VRSTに充電される。次いで光の入射に伴いフォトダイオード400の放電が始まり、リセット電位VRSTから電位が低下する。所定時間の経過後に水平選択信号RWnが水平選択スイッチ406のゲート電極に入力されて、水平選択スイッチ406がオンになると、バッファ404のソース電圧が信号電圧として垂直選択線408を介して取り出される。

【0005】

【発明が解決しようとする課題】

ところが、電荷蓄積容量とソースフォロワ等のアンプを搭載した上記構成の従来のAPSでは、同一信号に対してVT（しきい値電圧）のバラツキ等によりDC出力レベルが変動する固定パターン雑音（Fixed Pattern Noise；FPN）が発生して画質が劣化するという問題がある。即ち、ソースフォロワトランジスタ404の閾値電圧VTの製造上のバラツキにより、同じ光量に対してセル間で検出電圧がばらつく。

【0006】

これを低減させるため、従来では受光量に応じた積分レベルをバッファ404のソース信号電圧V1としてサンプリングした後、フォトダイオード400をリセット電位VRSTにリセットし、そのリセット電圧をサンプリングしている。そして、上記ソース信号電圧V1とリセット電圧VRSTに対応するソース信号電圧V2の差電圧を、相関二重サンプリング回路（Correlated Double Sampling；CDS）を用いて求めることで、固定パターン雑音を低減させるようにしている。つまり、光量信号蓄積後のリセット電圧をサンプリン

グして、光量信号蓄積時の信号電圧との差を相関二重サンプリング回路（CDS回路）で求めることにより、閾値電圧 V_T バラツキの影響を除去して固定パターン雑音（FPN）を低減させるようにしている。

【0007】

ところがこの方法では、光量信号蓄積前のリセット雑音（kTC雑音）と信号読出後のリセット雑音とが加算され、ランダム雑音レベルが増大してS/N比がCCD固体撮像装置に比べて劣化するという課題が残っている。

【0008】

kTC雑音（kはボルツマン定数、Tは絶対温度、Cはフォトダイオード400の容量）とは、一種の熱雑音である。リセット信号RSTによりリセットスイッチ402を導通させてフォトダイオード400をリセット電圧VRSTに充電する場合、その寄生容量のカソード端子の電圧がリセット電圧VRSTから熱雑音 $4kTR\Delta f$ （Rはリセットスイッチ402の抵抗、 Δf は充電時の帯域）分の揺らぎを受ける。その結果、リセット動作によるカソード端子の電圧は、必ずしもリセット電圧VRST一定になるとは限らない。

【0009】

上記の従来例は、最初のリセットレベルから光量に応じて電圧低下した光量信号レベルと、その直後のリセットレベルとの差を利用している。しかし、このkTC雑音は、上記の通り時間に対してランダムな揺らぎを有するので、最初のリセットレベルに重畳されるkTC雑音と、2番目のリセットレベルに重畳されるkTC雑音とが異なり、両者のレベルの差を利用して固定パターン雑音（閾値電圧 V_T のバラツキ）は抑制できても、kTC雑音を抑制することはできない。

【0010】

次に、特開平8-205034号公報に開示されたXYアドレス型固体撮像装置を図8を用いて説明する。図8において、フレーム転送用ゲートFTとMOS型スイッチSY1との間にソースフォロア型のバッファB1が接続されている。また、第2の静電容量C2には、第2の静電容量C2に蓄積された電荷を除去するためのMOSFETで構成されたリセットスイッチSR1が接続されている。バッファB1のドレイン電極は電源VDDに接続され、ソース電極は水平選択ス

イッチSY1に接続されている。また、バッファB1のゲート電極は第2の静電容量C2に接続されている。リセットスイッチSR1のドレイン電極にはリセット電位VRが印加されている。リセットスイッチSR1のソース電極は第2の静電容量C2に接続され、ゲート電極はリセット制御信号線L2に接続されている。

【0011】

第1の静電容量C1に電荷が蓄積された後にフレイム転送用ゲートFTを導通して第2の静電容量C2に電荷を転送すると、バッファB1のゲートの電位は次第に高くなる。所定時間の経過後に水平選択スイッチSY1がオンになるとバッファB1のソース電圧が垂直選択線を介して出力され、第2の静電容量C2に蓄積された電荷量Qを検出できる。フレイム転送用ゲートFTを導通する前に一旦リセットスイッチSR1を導通することで、第2の静電容量C2に蓄積されている電荷を全て除去でき、残像電荷による画質の劣化を抑制できる。

【0012】

しかしながら、図8の従来例は、第1にソースフォロワであるバッファB1を有するので、トランジスタB1の閾値電圧のバラツキ（固定パターン雑音）の影響を除去することができず、セル間で検出レベルがばらつく問題を有している。更に、特開平8-205034号公報には、この固定パターン雑音を抑制するための考察について示唆する記載は全くない。そして、第2の容量C2をリセット電圧VRに充電した後に、光量に応じた電荷を第1の容量C1からゲートFTを介して転送して、リセット電圧VRから光量に応じた電圧を低下させ、その電圧を電荷読み出し部に転送しているので、リセット時に発生する熱雑音であるkTC雑音を除去することもできない。

【0013】

また、図8に示した画素の素子構成は、図7に示した画素の素子構成と比べて、トランジスタの数が少なくとも1つ（図7に示したリセットスイッチ402を付加したら2つ）増えており、画素部が複雑化して受光部の開口率（フィルファクタ）が低下してしまうという問題を有している。

【0014】

本発明の目的は、固定パターン雑音（FPN）及び熱雑音を低減させた固体撮像装置を提供することにある。

【0015】

また、本発明の別の目的は、簡素な画素構成で広い開口率を有し、上記雑音を低減させた固体撮像装置を提供することにある。

【0016】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の側面は、入射光を光電変換する感光部と、前記感光部に蓄積された電荷を移送する移送ゲートと、前記移送ゲートから移送された前記電荷を蓄積するリセット可能な検出容量と、選択信号に基づいて前記検出容量の電荷を出力する選択スイッチとを備えた複数の画素と、前記画素から出力された前記検出容量の電荷を電圧に変換する電荷増幅器と、その電荷増幅器が変換したリセットレベルと検出レベルの差電圧を求める相関二重サンプリング回路とを有することを特徴とする固体撮像装置である。

【0017】

上記本発明の固体撮像装置において、前記電荷増幅器は、容量帰還型インピーダンス変換回路であることが好ましい。また、前記電荷増幅器は、前記選択スイッチがオンになって前記検出容量が前記選択線に接続されることにより、前記検出容量のリセットレベルをリセット電圧に変換し、次いで前記移送ゲートがオンになって前記感光部から前記検出容量に移送した前記電荷を信号電圧に変換することを特徴する。さらに前記電荷増幅器は、サンプルホールド回路を介して相関二重サンプリング回路に接続されていることが好ましい。

【0018】

上記目的を達成するために、本発明の第2の側面は、入射光を光電変換して電荷を蓄積する感光部と、前記感光部に接続されリセット信号に応答して導通して前記感光部を空乏化するリセットゲートと、前記感光部に接続され選択信号に応答して導通し前記感光部が蓄積した電荷を出力する移送ゲートとを有する複数の画素と、

前記画素に接続され、前記出力された電荷を電圧に変換する電荷増幅器と、

前記電荷増幅器の出力電圧をサンプルホールドする相関二重サンプリング回路とを有し、

前記電荷増幅器をリセットした時の出力のリセットレベルと、前記画素から出力された電荷に応じて前記電荷増幅器が出力する検出レベルとの差電圧が、前記相関二重サンプリング回路から出力されることを特徴とする固体撮像装置である。

【 0 0 1 9 】

上記第 2 の側面によれば、熱雑音が重畳されるリセットレベルと、それに加算される検出レベルとの差電圧を利用することにより、熱雑音の影響を削減することができる。また、感光部は、リセットゲートの導通により空乏化されるので、リセット時のエネルギーレベルには熱雑音が重畳されない。更に、ソースフォロワなどの回路が画素にないので、固定パターン雑音は発生しない。

【 0 0 2 0 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【 0 0 2 1 】

〔第 1 の実施の形態例〕

本発明の一実施の形態による固体撮像装置を図 1 乃至図 6 を用いて説明する。まず、本実施の形態による固体撮像装置の概略の構成を図 1 を用いて説明する。

【 0 0 2 2 】

図 1 は、本実施の形態の固体撮像装置における X Y アドレス型イメージセンサ 1 の 2 × 2 画素分の回路例を示している。各画素の感光部のフォトダイオード 2、4、6、8 のカソード側に MOS FET の移送ゲート (TG) 10、12、14、16 がそれぞれ接続されている。なお、感光部のフォトダイオード 2 はフォトゲートで構成してもよい。移送ゲート 10、12、14、16 と MOS FET の水平選択スイッチ 26、28、30、32 との間のフローティングディフュージョン (FD) 領域のソース接合容量が検出容量 18、20、22、24 として用いられている。移送ゲート 10、12 のゲート電極は移送ゲート制御線 62 に

接続され、移送ゲート14、16のゲート電極は移送ゲート制御線70に接続されている。水平選択スイッチ26、28のゲート電極は水平選択線64に接続され、水平選択スイッチ30、32のゲート電極は水平選択線72に接続されている。

【0023】

また、検出容量18、20、22、24をリセットレベルに充電するためのMOSFETのリセットスイッチ34、36、38、40が、それぞれ検出容量に接続されている。リセットスイッチ34、36のドレイン電極はリセット電圧VRSが供給されるリセット電圧供給線58に接続されている。リセットスイッチ34、36のソース電極は検出容量18、20に接続され、ゲート電極はリセット制御信号線60に接続されている。リセットスイッチ38、40のドレイン電極にはリセット電圧VRSが供給されるリセット電圧供給線66に接続されている。リセットスイッチ38、40のソース電極は検出容量22、24に接続され、ゲート電極はリセット制御信号線68に接続されている。

【0024】

水平選択スイッチ26、30は垂直選択線54に接続され、水平選択スイッチ28、32は垂直選択線56に接続されている。各垂直選択線54、56には、それぞれ電荷増幅器（容量帰還型インピーダンス変換回路：CTIA）41、43が接続されている。垂直選択線54に接続された電荷増幅器41は、例えば図2に示すように、CMOSインバータ42と帰還容量46、及び帰還容量46を短絡するMOSFETのラインリセットスイッチ50を有している。図2において、図中破線で示したブロックは、垂直選択線54に接続された複数の画素のうち例示として図1左上の画素を示している。水平選択スイッチ26により検出容量18が垂直選択線54に接続されると、垂直選択線54に接続された電荷増幅器41により検出容量18に蓄積された電荷量に応じた電圧が出力OUTmとして出力されるようになっている。なお、図中の容量CLN、CLDは垂直選択線54の寄生容量（CLN）及び電荷増幅器41の出力端子容量（CLD）を示している。また、電荷増幅器42は、フィルファクタ等を考慮しつつ、CMOSインバータに代えてCMOS演算増幅器等を用いることももちろん可能である。

【 0 0 2 5 】

更に、出力端子OUT_mは、図 3 に示された相関二重サンプリング回路に接続され、リセットレベルと光量に応じた信号レベルとの差電圧が検出される。

【 0 0 2 6 】

図 1 に戻り、同様に、垂直選択線 5 6 に接続された電荷増幅器 4 3 は、例えば、CMOS インバータ 4 4 と帰還容量 4 8、及び帰還容量 4 8 を短絡するラインリセットスイッチ 5 2 を有している。ラインリセットスイッチ 5 0、5 2 のゲート電極は、垂直選択線 5 4、5 6 をリセットするラインリセット信号線 7 4 に接続されている。

【 0 0 2 7 】

以上説明したように、本実施の形態による XY アドレス型イメージセンサ 1 の構成では、2 次元（1 次元でももちろんよい）に配列された各画素内にいわゆる能動素子（増幅器等）が存在していない。具体的には、移送ゲート 1 0、1 2、1 4、1 6 と水平選択スイッチ 2 6、2 8、3 0、3 2 との間に、図 7 に示したバッファ 4 0 4 や図 8 に示したバッファ B 1 のようなソースフォロア型のアンプが接続されていない。1 画素中の主要な構成要素は、図 1 左上の画素を例にとると、感光部のフォトダイオード 2 と、リセット可能な検出容量 1 8 と、感光部からの電荷の転送を制御する移送ゲート 1 0 と、リセットスイッチ 3 4 と、検出容量 1 8 を垂直選択線 5 4 に接続する水平選択スイッチ 2 6 だけである。1 つの垂直選択線 5 4 に接続された複数の画素のうち、選択された画素の検出容量の電荷の変化が垂直選択線 5 4 に接続された 1 つの電荷増幅器 4 1 で検出される。このように 1 画素はフォトダイオード 2 と 3 個のトランジスタ（1 0、2 6、3 4）を有しており、素子数は図 7 に示した従来の APS と同じで、図 8 に示した従来の APS より 1 つ（又は 2 つ）少ない。また、本実施の形態による構成では、垂直選択線 5 4 を駆動するソースフォロワの駆動トランジスタが不要で、電流駆動能力の小さな 3 個のトランジスタを用いた簡素な素子構成を実現できるので、フィルファクタを改善することができる。

【 0 0 2 8 】

次に、図 3 を用いてサンプルホールド回路及び相関二重サンプリング（CDS

）回路の具体例について簡単に説明する。図 3 の回路は、図 1 の垂直選択線 5 4、5 6 それぞれに設けられる。電荷増幅器 4 1 からの出力信号 O U T m の入力を制御する M O S F E T のサンプルホールド用スイッチ 7 6 に、入力された出力 O U T m をホールドするサンプルホールド用容量 7 8 が接続されている。また、スイッチ 7 6 とサンプルホールド用容量 7 8 の接続点にはソースフォロワ型バッファ 8 2 が接続されている。バッファ 8 2 の出力 N1 は、相関二重サンプリング回路の C D S 用容量 8 6 に接続され、C D S 用容量 8 6 の他端 N2 はソースフォロワ型バッファ 8 8 に接続されている。なお、本サンプルホールド回路／相関二重サンプリング回路ではソースフォロワ型バッファ 8 8 を用いているが、ヴォルテージフォロワで構成するようにしてももちろんよい。

【 0 0 2 9 】

C D S 用容量 8 6 とソースフォロワ型バッファ 8 8 との接続点 N2 にはクランプスイッチ 8 4 が接続されている。バッファ 8 8 は多重化スイッチ 9 0 に接続され、多重化スイッチ 9 0 は共通バス配線 9 4 に接続されている。このように相関二重サンプリング回路の出力は、多重化スイッチ 9 0 を介して共通バス配線 9 4 に接続され、時間多重化される。また、垂直選択線 5 4、5 6 それぞれ設けられている相関二重サンプリング回路のソースフォロワ型バッファ 8 8 は、共通バス配線 9 4 を介して共通の負荷電流源 9 2 に接続されている。

【 0 0 3 0 】

次に、図 4 及び図 5 を中心に図 1 乃至図 3 も参照しつつ、本実施の形態による固体撮像装置の動作について説明する。図 4 は本実施の形態による X Y アドレス型イメージセンサ 1 の画素の断面構造と電位の模式図を示している。図 5 は、X Y アドレス型イメージセンサ 1 の動作を示すタイミングチャートである。

【 0 0 3 1 】

図 4 (a) は図 1 左上の画素の画素断面構造を示しており、図示しない P 型基板の N ウェル領域内に形成される P ウェル 1 0 0 内に、P N 接合のフォトダイオード 2 を構成する N⁻領域が形成されている。P ウェル上には絶縁膜 1 0 2 (ゲート絶縁膜及びフィールド絶縁膜を含む) が形成されている。図示の方向からは移送ゲート 1 0 と水平選択スイッチ 2 6 が並んで形成され、リセットスイッチ 3

4は当該断面には表れていない。移送ゲート10のゲート電極に関して N^- 領域の反対側であって、移送ゲート10のゲート電極と水平選択スイッチ26のゲート電極との間の領域は、 N^+ 層のフローティングディフュージョン(FD)領域である。水平選択スイッチ26に関してFD領域の反対側に形成された N^+ 領域(BUS)は垂直選択線54を介して電荷増幅器(CTIA)41に接続されている。

【0032】

なお、図4(e)に示すように、感光部にフォトダイオード2の代わりにフォトゲートPHGを用いてももちろんよく、以下の説明は図4(e)に示したフォトゲートを用いたXYアドレス型イメージセンサにも同様に適用可能である。また、フォトゲート自体は公知であるので図4(e)の構成の説明は省略する。

【0033】

図5のタイミングチャートに示すように、期間 t_1 (図4(b)参照)において、ラインリセット信号線74にラインリセット信号LRSTが出力され、同時に、リセット制御信号線60にリセット信号RST $_n$ (n は水平選択線の番号)が出力される。ラインリセット信号LRSTにより電荷増幅器41及び垂直選択線54がリセットされ、リセット信号RST $_n$ によりFD領域(検出容量18)がリセット電圧供給線58からのリセット電圧VRSにリセットされる。このとき、移送ゲート10及び水平選択スイッチ26は共にオフ状態である。また、電荷増幅器41が図2に示したCMOSインバータ42で構成される場合には、垂直選択線54及びBUSはほぼ $VDD/2$ の電位にリセットされ、電荷増幅器の出力OUT $_m$ に電圧 $VDD/2$ が出力される。

【0034】

光が照射されてフォトダイオード2でキャリアが発生すると、 N^- 領域に電荷が蓄積される。フォトダイオード2とFD領域の間には移送ゲート10によるエネルギー障壁が形成されているため、光電荷蓄積中の電荷は N^- 領域に留まっている。

【0035】

次に、期間 t_2 (図4(c)参照)において、水平選択スイッチ26のゲート

に水平選択線 6 4 から水平選択信号 RW_n が入力して水平選択スイッチ 2 6 がオンになると、電荷増幅器 4 1 からリセットレベル V_{RS} に相当する出力 $OUT_m = V_R$ (リセット電圧) が出力される (図 5 参照) と共に、FD 領域と BUS 領域は同電位のほぼ $V_{DD}/2$ になる。

【0036】

次に、期間 t_3 (図 4 (d) 参照) において、水平選択スイッチ 2 6 がオン状態のままで、移送ゲート制御線 6 2 からゲート信号 TG_n を移送ゲート 1 0 のゲートに入力する。ゲート信号 TG_n により移送ゲート 1 0 はオン状態になり、ゲート下の障壁がなくなってフォトダイオード 2 に蓄積されていた電荷が FD 領域 (電荷検出容量 1 8) に転送される。このように、感光部は低濃度の逆導電層と移送ゲートで構成され、電荷転送時には低濃度の逆導電層が完全に空乏化するように制御されている。なお、図 4 (e) に示す感光部がフォトゲートと移送ゲートで構成されている場合は、電荷転送時にはフォトゲート下が完全に空乏化するように制御されている。

【0037】

この電荷量に応じた電圧変動が電荷増幅器 4 1 から出力 $OUT_m = V_S$ (信号電圧) として出力される。以上の動作は、水平ブランキング期間に行われ、リセット電圧 V_R 、信号電圧 V_S の順で電荷増幅器 4 1 から出力される。

【0038】

このように本実施の形態では、期間 t_1 にて電荷増幅器 4 1 と垂直選択線 5 4 をリセットし、同時に検出容量 1 8 もリセットした後、電荷増幅器 4 1 を検出モードにし、期間 t_2 にて水平選択スイッチ 2 6 をオンにして検出容量 1 8 を垂直選択線 5 4 に接続することにより、検出容量 1 8 のリセットレベルをリセット電圧 V_R に変換し、次いで期間 t_3 にて感光部から電荷を注入または転送して信号電圧 V_S に変換している。

【0039】

電荷増幅器 4 1 からの出力 OUT_m の変化を簡易回路でシミュレーションした結果を図 6 に示す。図 6 の横軸は時間 ($2 \mu sec/div$) を表し、縦軸は出力 OUT_m の出力電圧を示している。図 6 は、ラインリセット信号 L_{RST} とリ

セット信号 RST が $2\ \mu\text{sec}$ 毎に出力され、光量が増加して蓄積される電荷が徐々に増大する場合を例にとって示している。 $VDD=3\text{V}$ として、ラインリセット時で $OUT_m = VDD/2 = 1.5\text{V}$ (図中“ α ”で示す) となり、ラインリセット直後に入力される水平選択信号 RW_n の入力により $OUT_m = VR$ (図中“ β ”で示す) が出力され、ラインリセットから約 $1\ \mu\text{sec}$ 後に移送ゲート 10 がオン状態となり $OUT_m = VS$ (図中“ γ ”で示す) が出力されている。このように本実施の形態では、電荷増幅器 41 から信号蓄積直前のリセット電圧 VR が出力され、次いで信号電圧 VS が出力される。なお、図 5 のタイミングチャートからも明らかに本実施の形態による電荷増幅器 41 は、リセット電圧 VR 及び信号電圧 VS を検出して出力する検出モードの所定の期間だけ電源に接続されて活性化されるようになっているので、省電力化を図ることが可能である。

【0040】

電荷増幅器 41 からの出力 OUT_m は、図 3 に示したサンプルホールド回路及び相関二重サンプリング回路に入力する。図 5 に示すように期間 t_2 において、リセット電圧 RST_n の立ち下がりエッジに同期してサンプルホールド信号 SH がサンプルホールド回路のサンプルホールド用スイッチ 76 のゲートに入力してスイッチ 76 をオン状態にする。また同時に、リセット電圧 RST_n の立ち下がりエッジに同期してクランプ信号 CLP が相関二重サンプリング回路のクランプスイッチ 84 のゲートに入力してスイッチ 84 をオン状態にする。

【0041】

この期間 t_2 状態で、サンプルホールド回路の入力端子 (IN) に電荷増幅器 41 から $OUT_m = VR$ が印加される。リセット電圧 VR はサンプルホールド回路のサンプルホールド用容量 78 を充電すると共に、ソースフォロワ 82 を介して相関二重サンプリング用容量 86 も充電する。オン状態のクランプスイッチ 84 により相関二重サンプリング用容量 86 の他端が接地電圧に固定されているので、ノード $N1$ は、サンプリングホールド用容量 78 の充電電圧 (ノード $N3$ の電圧) からソースフォロワトランジスタ 82 の閾値電圧だけ低い電圧に充電される。

【0042】

次いで、期間 t_3 にて、クランプスイッチ 84 のオフにより相関二重サンプリング用容量 86 の他端（ノード N2）がフローティングになった時点で、信号電圧 V_S がサンプルホールド回路の入力端子に入力されてサンプルホールド用容量 78 に保持される。この結果、相関二重サンプリング用容量 86 の出力側（ノード N2）にはリセット電圧 V_R と信号電圧 V_S の差に相当する差信号（ $V_S - V_R$ ）が生じる。この信号は相関二重サンプリング用容量 86 に保持され、出力のソースフォロワ型バッファ 88 を駆動する。出力のソースフォロワ型バッファ 88 は、多重化スイッチ 92 を介して水平方向出力線 94 に接続されておりリセット雑音を相殺した差信号（ $V_S - V_R$ ）のみが出力される。

【 0 0 4 3 】

以上の動作をまとめると以下の通りである。図 2, 3, 4, 5 を参照して説明する。受光量に応じた電荷の読み出しの前提として、各セルのフォトダイオードに蓄積された電荷は、期間 t_3 （図 4（d））の段階で全て読み出された状態になる。

【 0 0 4 4 】

そこで、セルの水平ブランキング期間中に、リセット期間 t_1 にてリセット信号 RST_n が印加されリセットスイッチ 34 が導通し、検出容量 18 がリセット電圧 V_{RS} に充電される。具体的には、従来例で説明した通り、検出容量 18 のリセットレベルは、リセット電圧 V_{RS} に kTC 雑音（熱雑音）が重畳したレベルになる。また、リセット期間 t_1 において、電荷増幅器 41 の帰還スイッチ 50 がオンになるので、CMOSインバータ 42 の入力と出力は共に電源電圧の中間 $VDD/2$ にリセットされる。その結果、読み出し線 54（BUS 領域）のレベルは、図 4（b）に示される通り $VDD/2$ になる。

【 0 0 4 5 】

上記のリセット期間 t_1 に続いて、リセットレベル読み出し期間 t_2 にて、検出容量 18 のリセットレベルが、サンプルホールド用容量 78 及び相関二重サンプリング用容量 86 に保持される。即ち、水平選択信号 RW_n により水平選択スイッチ 26 がオンになると、CMOSインバータ 42 とその帰還容量 46 のイメージチャージ動作により、CMOSインバータ 42 の入力に接続される垂直選択線 54 の容

量 C_{LN} の電位は $VDD/2$ に維持されると共に、出力 OUT_m にはリセットレベル V_{RS} に応じた電位 V_R が生成される。即ち、電荷増幅器 4 1 のイメージチャージ動作により、図 5 に示される通り出力 OUT_m がリセットレベル V_R に低下する。そして、この出力 OUT_m のリセットレベルが、サンプリングホールド用容量 7 8 にホールドされ、同時に相関二重サンプリング用容量 8 6 にもそれに応じた電荷がホールドされる。即ち、リセットレベルが相関二重サンプリング用容量 8 6 にホールドされ、ノード N_1 には、リセットレベルに熱雑音 (kTC 雑音) が重畳したレベルがホールドされる。

【 0 0 4 6 】

そこで、フォトダイオード 2 の容量に蓄積された電荷量が、光量積分値の読み出し期間 t_3 において、読み出される。水平選択スイッチ 2 6 をオン状態にしたまま、ゲート信号 TG_n により位相ゲート 1 0 がオンにされる。その結果、図 4 (d) に示される通り、フォトダイオード 2 に蓄積された電荷が、検出容量 1 8 と垂直選択線 5 4 に流入する。この時、CMOSインバータ 4 2 とその帰還容量 4 6 のイメージチャージ動作により、CMOSインバータ 4 2 の入力に接続される垂直選択線 5 4 の容量 C_{LN} の電位は $VDD/2$ に維持されると共に、図 5 に示される通り出力 OUT_m にはフォトダイオード 2 に蓄積された電荷量に対応する検出レベル V_S が生成される。この読み出しで、フォトダイオード 2 の電荷は空になり、完全空乏化 (デプリート) 状態になる。

【 0 0 4 7 】

この出力 OUT_m に読み出された検出レベル V_S が、サンプルホールドされることで、相関二重サンプリング用容量 8 6 のノード N_1 は、検出レベル V_S に対応するレベルになる。その結果、容量 8 6 の対抗電極であるノード N_2 は、リセットレベル V_R と検出レベル V_S の差電位 ($V_S - V_R$) になる。但し、この検出レベル V_S は、最初のリセットレベル V_R に重畳されている熱雑音が加算されたレベルである。従って、その差電位を求めることにより、熱雑音が除去されることになる。

【 0 0 4 8 】

しかも、セル内には従来例のようなソースフォロワ回路のようなトランジスタの閾値電圧 V_T の影響を受ける構成になっていない。従って、差電位 ($V_S - V_R$) は、

固定パターン雑音を含まない信号になる。

【 0 0 4 9 】

上記の動作例では、フォトダイオード 2 への受光量に対応する電荷の蓄積期間は、読み出し後から次の読み出しまでの期間になる。そこで、この電荷蓄積期間を任意の期間に調整する必要がある場合は、適切な時間にゲート信号 TG_n を印加して移送ゲート 10 をオンにし、フォトダイオード 2 に蓄積されている電荷を、検出容量 18 に移転させれば良い。それにより検出容量 18 には、図 4 (b) に破線で示される通り、検出容量 18 は何らかのレベルに充電される。しかし、検出容量 18 は、リセット期間 t_1 においてリセットレベル VRS にリセットされるので、その後の読み出しレベルへの影響はない。

【 0 0 5 0 】

このように本実施の形態によれば、ラインリセット及び検出容量のリセット後に電荷を転送して信号を検出するため、その後の相関二重サンプリングによって、リセット雑音 (kTC 雑音) は相殺され、原理的には固定パターン雑音も kTC 雑音も発生せず、CMOS を基本とする回路構成で、CCD 型固体撮像装置と同等の画質を実現できる。

【 0 0 5 1 】

本発明は、上記実施の形態に限らず種々の変形が可能である。

【 0 0 5 2 】

例えば、上記実施の形態では、電荷増幅器として CMOS インバータを用いた例で説明したが、本発明はこれに限られず、演算増幅器を用いた差動増幅器、ヴォルテージフォロワ等を用いれば、より高性能な固体撮像装置を実現できるようになる。

【 0 0 5 3 】

上記実施の形態では主として図 1 左上の画素を例にとって説明したが、他の画素ももちろん同様に動作する。また、移送ゲート 10 ~ 16、水平選択スイッチ 26 ~ 32、その他種々のスイッチ類は、固体撮像装置のチップ上に設けられた CMOS シフトレジスタ、CMOS デコーダなどの周辺制御回路により制御される。

【 0 0 5 4 】

また、上記実施の形態では、感光部に入射する光の波長帯域を明示していないが、本発明は、所定の使用波長帯域を有する感光部を用いることにより、可視光領域でも赤外光領域でも適用可能である。

【 0 0 5 5 】

〔第2の実施の形態例〕

第2の実施の形態例の固体撮像素子は、固定パターン雑音とkTC雑音（熱雑音）を除去することができると共に、更に画素であるセルの素子数を少なくすることができる。図9は、第2の実施の形態例における固体撮像素子の2×2画素分の回路を示す図である。この例のセルCELLは、受光量に応じて電荷を蓄積するフォトダイオード2と、リセット電圧VRSとフォトダイオード2との間に設けられたリセットゲート11と、フォトダイオード2と垂直選択線CLMとの間に設けられた移送ゲート10とを有する。従って、2トランジスタと1フォトダイオードの簡単な構成である。

【 0 0 5 6 】

そして、水平方向にリセット信号R_nが供給されるリセット制御信号線60と、ゲート信号TG_nが供給される移送ゲート制御信号線62とが設けられ、垂直方向にそれぞれのセルの移送ゲート10に接続される垂直選択線CLM_m、CLM_{m+1}が設けられる。第1の実施の形態例と同様に、垂直選択線は、電荷増幅器41、43に接続される。電荷増幅器41、43は、第1の実施の形態例と同じ構成であり、セルCELLから出力される電荷を電圧に変換する。また、電荷増幅器41、43は、それぞれ図3に示したサンプリング及び二重相関サンプリング回路CDSに接続され、リセットレベルと検出レベルとの差電圧が、検出信号として生成される。

【 0 0 5 7 】

図10は、セルの断面構造とエネルギーレベルの変化を示す図である。図10(a)は、セルCELLの断面構造を示す。グラウンドにバイアスされたP型基板200内に、電源V_{dd}にバイアスされたN型ウエル領域100が形成され、そのN型ウエル領域100内にグラウンドV_{ss}にバイアスされたP型ウエル領域111が形

成される。従って、N型ウエル領域100は、基板200に対して逆バイアスされ電氣的に分離されている。

【0058】

更に、P型ウエル領域111は、両側が高濃度で深く、中央が低濃度で浅く形成されていて、左側の深い領域にリセット電圧VRSに接続されたn+領域112とリセットゲート電極Rnが形成され、右側の深い領域に垂直選択線CLMに接続されたn+領域114と移送ゲート電極Tgnが形成される。そして、中央の浅いP型ウエル領域111Aに、低濃度n領域113が形成される。この低濃度n領域113と浅いP型ウエル領域111Aとで、フォトダイオードのPN接合が形成される。

【0059】

図10(a)の断面図の右側に、中央の浅いP型ウエル領域111A直下の深さ方向のエネルギーレベルを示す通り、低濃度n領域113とN型ウエル領域100との間は、浅いP型領域111Aによる低障壁が介在するのみである。フォトダイオードのカソード領域113の直下のP型ウエル領域111Aは、低濃度で薄いので、N型ウエル領域100が電源Vddでバイアスされ、P型ウエル領域111がグランドVssでバイアスされているので、直下のP型ウエル領域111Aは空乏化され、カソード領域113の水平方向に隣接するP型ウエル領域111と比較すると低いエネルギーレベルになっている。

【0060】

図10(b)、(c)、(d)は、それぞれリセット期間t10、t11、光電変換された電荷の積分期間t12、及び蓄積された電荷の読み出し期間t13におけるエネルギーレベルを示す。また、図11は、セルの駆動を示すタイミングチャート図である。これらの図を参照して、セルの読み出し動作を説明する。

【0061】

リセット時t10において、リセットパルスRnが供給されリセットゲート11がオンし、フォトダイオードを構成するカソード領域である低濃度n領域113がリセット電圧VRSに接続される。これにより、フォトダイオード2の低濃度n領域113は、完全に空乏化される。この完全に空乏化された状態では、低濃

度 n 領域113のエネルギーレベルは、不純物ドーブ量と深さから決まる一定のレベルになり、そのエネルギーレベルに熱雑音は含まれない。リセットパルス R_n がなくなると図10(c)の様にリセットゲート11の障壁が高くなり、空乏化された低濃度 n 領域113に光電変換された電荷の蓄積が開始される。

【0062】

一方、リセットパルス R_n とは別に、読み出し期間 t_{13} の直前の期間 t_{11} において、ラインリセットパルスLRSTが電荷増幅回路41, 43のラインリセットスイッチ50, 52に印加され、インバータ42, 44の入出力端子が短絡され、垂直選択線CLMが $VDD/2$ にリセットされる。即ち、移送ゲート10のドレイン領域である n 領域114は、リセットレベルVRとして電源の中間レベル $VDD/2$ にリセットされる。このリセットレベルVR($VDD/2$)には、熱雑音が含まれる。

【0063】

ラインリセット信号LRSTの印加により、電荷増幅回路41の出力OUT m は、リセットレベルVRになる。そのとき、サンプリングホールドパルスSHが印加され、リセットレベルVRがサンプルホールドされると共に、相関二重サンプル用容量86がリセットレベルVRに応じたレベルに充電される。

【0064】

リセット期間 t_{10} のリセットパルス R_n から、光電変換された電荷(n 型であるので電子)がフォトダイオードの低濃度 n 領域113に蓄積される。そのとき、画素に過剰な光が入射された場合は、基板の深さ方向の低い障壁111Aを越えて電荷がN型ウエル領域100に流れ込み、隣接する画素に電荷があふれるブルームিং現象が抑制される。上記の積分期間 t_{12} が終了すると、ゲート制御パルスTG n が印加され、移送ゲート10の障壁が下げられる。それにより、低濃度 n 領域113に蓄積されていた電荷が、 n 領域114に流れ込む。これに伴い、垂直選択線CLM m のレベルは上がる方向(電位が下がる方向)に変化するが、電荷増幅回路41のイメージチャージ動作により、垂直選択線CLM m のレベルはリセットレベル $VDD/2$ 一定に保たれ、出力OUT m の電位が検出レベルVSに上昇する。この検出レベルはサンプルホールドされ、相関二重サンプル用容量86のノードN

2には、差電圧 $VS-VR$ が生成される。

【0065】

この場合、検出レベル VS には最初の熱雑音が重畳されているので、差電圧 $VS-VR$ には熱雑音が除去されることになる。もちろん、差電圧 $VS-VR$ には固定パターン雑音は含まれていない。

【0066】

第2の実施の形態例の特徴として、フォトダイオード2の井戸に蓄積される電荷を除去するリセットゲート11が設けられている。しかも、このリセットゲート11がオンした時に、フォトダイオード2の電子井戸は完全に空乏化されて、低濃度 n 領域113のドーピング濃度と深さから決まる絶対レベルにリセットされる。従って、ここには熱雑音は含まれない。そして、リセットパルス R_n を印加するタイミングを制御することにより、電子シャッタ機能または露出制御機能を実現することができる。

【0067】

図12は、第2の実施の形態例の変形例を示す図である。図12(a)の断面図に示される通り、P型ウェル領域111の中央部は深く形成され、そこにフォトダイオード2を形成する低濃度 n 領域113が形成される。従って、図10(a)に示したように、浅いP型ウェル領域113Aを利用したブルーミング抑制機能がない。それに代わって、図12の例では、光電変換された電子を蓄積する積分期間 t_{12} において、リセットゲート11を完全にオフにせず、低い電位のリセットパルス R_n をゲートに印加して準導通状態を続けることにより、積分期間 t_{12} において過剰な光が入射した時に電子をリセット電圧 V_{RS} が印加された n 領域112側にリークさせるようにする。これにより、過剰光により電荷が隣接する画素にあふれ出てブルーミング現象を起こすことが防止される。

【0068】

図13は、第2の実施の形態例のセル回路を利用した場合のシミュレーション結果を示す図である。図11にも示される通り、リセット動作により出力 V_{OUT} はほぼ $V_{DD}/2 (=VR)$ にリセットされ、その後、移送ゲートをオンすることにより検出レベル VS になる。従って、第2の実施の形態例では、電荷増幅回路の出力

VOUTが、リセットレベルVRから検出レベルVSに上昇するのみであるので、CMOSインバータ42, 44の電源VDD (= 3 V) レンジの上半分が主に利用されている。それに対して、第1の実施の形態例では、図6に示される通り、出力VOUTがVDD/2から一旦リセットレベルVRに下がり、検出レベルVSに上昇する。つまり、第1の実施の形態例のほうが差電圧 (VS - VR) に対するダイナミックレンジが広い。

【 0 0 6 9 】

従って、第2の実施の形態例においては、CMOSインバータのPチャネルトランジスタとNチャネルトランジスタのディメンジョン比を変更して、動作点をVDD/2より低く設定する。それにより、リセットレベルVRを低くすることができ、第1の実施の形態例のような広いダイナミックレンジを実現することが可能になる。

【 0 0 7 0 】

上記の第2の実施の形態例においても、セルのフォトダイオードは図4 (e) に示されるようなフォトゲートに代えることが可能である。その場合も、フォトゲートのゲート酸化膜直下の電子井戸は、リセットゲートを導通することにより空乏化され、濃度条件などにより決まる絶対レベルにリセットされる。

【 0 0 7 1 】

以上の実施の形態例を以下の付記にまとめる。

【 0 0 7 2 】

付記1. 入射光を光電変換する感光部と、前記感光部に蓄積された電荷を移送する移送ゲートと、前記移送ゲートから移送された前記電荷を蓄積するリセット可能な検出容量と、選択信号に基づいて前記検出容量の電荷を出力する選択スイッチとを有する複数の画素と、

前記画素に接続され、前記検出容量の電荷を電圧に変換する電荷増幅器と、

前記電荷増幅器の出力電圧をサンプルホールドする相関二重サンプリング回路とを有し、

前記検出容量がリセットされた時の電荷に応じて前記電荷増幅器が出力するリセットレベルと、前記移送ゲートから移送された電荷に応じて前記電荷増幅器が

出力する検出レベルとの差電圧が、前記相関二重サンプリング回路から出力されることを特徴とする固体撮像装置。

【 0 0 7 3 】

付記 2. 上記付記 1 記載の固体撮像装置において、
前記電荷増幅器は、容量帰還型インピーダンス変換回路であること
を特徴とする固体撮像装置。

【 0 0 7 4 】

付記 3. 上記付記 1 又は 2 に記載の固体撮像装置において、
前記電荷増幅器は、前記選択スイッチがオンになって前記検出容量が前記選択線に接続されることにより、前記検出容量のリセットレベルをリセット電圧に変換し、次いで前記移送ゲートがオンになって前記感光部から前記検出容量に移送した前記電荷を検出信号電圧に変換すること
を特徴する固体撮像装置。

【 0 0 7 5 】

付記 4. 入射光を光電変換して電荷を蓄積する感光部と、前記感光部に接続されリセット信号に応答して導通して前記感光部を空乏化するリセットゲートと、前記感光部に接続され選択信号に応答して導通し前記感光部が蓄積した電荷を出力する移送ゲートとを有する複数の画素と、

前記画素に接続され、前記出力された電荷を電圧に変換する電荷増幅器と、

前記電荷増幅器の出力電圧をサンプルホールドする相関二重サンプリング回路とを有し、

前記電荷増幅器をリセットした時の出力のリセットレベルと、前記画素から出力された電荷に応じて前記電荷増幅器が出力する検出レベルとの差電圧が、前記相関二重サンプリング回路から出力されることを特徴とする固体撮像装置。

【 0 0 7 6 】

付記 5. 上記付記 4 において、

前記感光部は、第 1 の導電型半導体領域内に所定の深さに形成された第 2 の導電型のカソード領域により形成され、

前記リセットゲートは、前記カソード領域と、前記第 1 の導電型半導体領域上

に形成されたりセットゲート電極と、前記第 1 の導電型半導体領域内に形成され前記カソード領域より濃度の高い第 2 導電型のドレイン領域とにより形成される MOS 型トランジスタであることを特徴とする固体撮像装置。

【 0 0 7 7 】

付記 6. 上記付記 5 において、

前記移送ゲートは、前記カソード領域と、前記第 1 の導電型半導体領域上に形成された移送ゲート電極と、前記第 1 の導電型半導体領域内に形成され前記電荷増幅器の入力に接続される第 2 の導電型の出力領域とにより形成される MOS 型トランジスタであることを特徴とする固体撮像装置。

【 0 0 7 8 】

付記 7. 上記付記 4 または 5 において、

前記第 1 の導電型半導体領域は、第 2 の導電型のウエル領域内に形成され、前記ウエル領域の前記カソード領域直下の領域が空乏化されるように制御されていることを特徴とする固体撮像装置。

【 0 0 7 9 】

付記 8. 上記付記 4 または 5 において、

前記リセットゲートは、前記感光部が光電変換された電荷を蓄積する間、準導通状態に維持されることを特徴とする固体撮像装置。

【 0 0 8 0 】

【発明の効果】

以上の通り、本発明によれば、簡素な画素構成で広い開口率を有し、固定パターン雑音（F P N）及び熱雑音（k T C 雑音）を低減させた固体撮像装置を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による固体撮像装置における X Y アドレス型イメージセンサ 1 の 2 × 2 画素分の回路例を示す図である。

【図 2】

第 1 の実施の形態による固体撮像装置における電荷増幅器の回路例を示す図で

ある。

【図 3】

第 1 の実施の形態による固体撮像装置におけるサンプルホールド回路及び関連二重サンプリング回路の回路例を示す図である。

【図 4】

第 1 の一実施の形態による X Y アドレス型イメージセンサの画素の断面構造と電位の模式図を示す図である。

【図 5】

第 1 の実施の形態による X Y アドレス型イメージセンサの動作を示すタイミングチャートである。

【図 6】

第 1 の実施の形態による X Y アドレス型イメージセンサの電荷増幅器から出力される出力 O U T_m の変化を簡易回路でシミュレーションした結果を示す図である。

【図 7】

C M O S イメージセンサを用いた従来の X Y アドレス型固体撮像装置を示す図である。

【図 8】

C M O S イメージセンサを用いた従来の X Y アドレス型固体撮像装置の他の例を示す図である。

【図 9】

第 2 の実施の形態による固体撮像装置における X Y アドレス型イメージセンサの 2 × 2 画素分の回路例を示す図である。

【図 1 0】

第 2 の実施の形態例における固体撮像装置の断面構造とエネルギーレベルの模式図である。

【図 1 1】

セルの駆動を示すタイミングチャート図である。

【図 1 2】

第 2 の実施の形態例の変形例を示す図である。

【図 1 3】

第 2 の実施の形態例のシュミレーション結果を示す図である。

【符号の説明】

- 1 X Y アドレス型イメージセンサ
- 2、4、6、8 フォトダイオード
- 10、12、14、16 移送ゲート
- 18、20、22、24 検出容量
- 26、28、30、32 水平選択スイッチ
- 34、36、38、40 リセットスイッチ
- 41、43 電荷増幅器
- 42、44 CMOS インバータ
- 46、48 帰還容量
- 50、52 ラインリセットスイッチ
- 54、56 垂直選択線
- 58、66 リセット電圧供給線
- 60、68 リセット制御信号線
- 62、70 移送ゲート制御線
- 64、72 水平選択線
- 74 ラインリセット信号線
- 76 サンプルホールド用スイッチ
- 78 サンプルホールド用容量
- 82 ソースフォロワ型バッファ
- 84 クランプスイッチ
- 86 CDS 用容量
- 88 ソースフォロワ型バッファ
- 90 多重化スイッチ
- 92 負荷電流源
- 94 共通バス配線

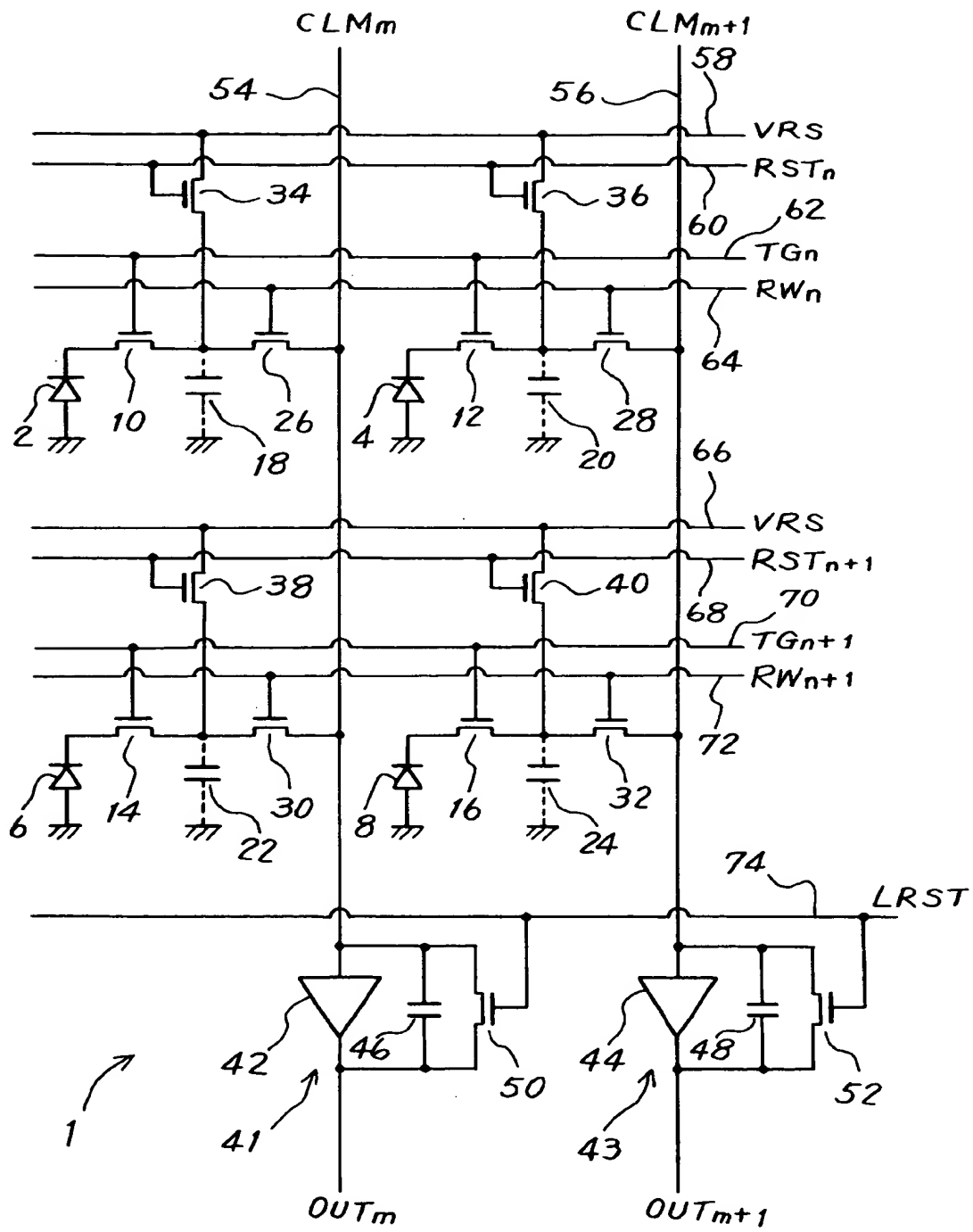
特 2 0 0 0 - 1 5 8 0 2 3

1 0 0 P ウエル

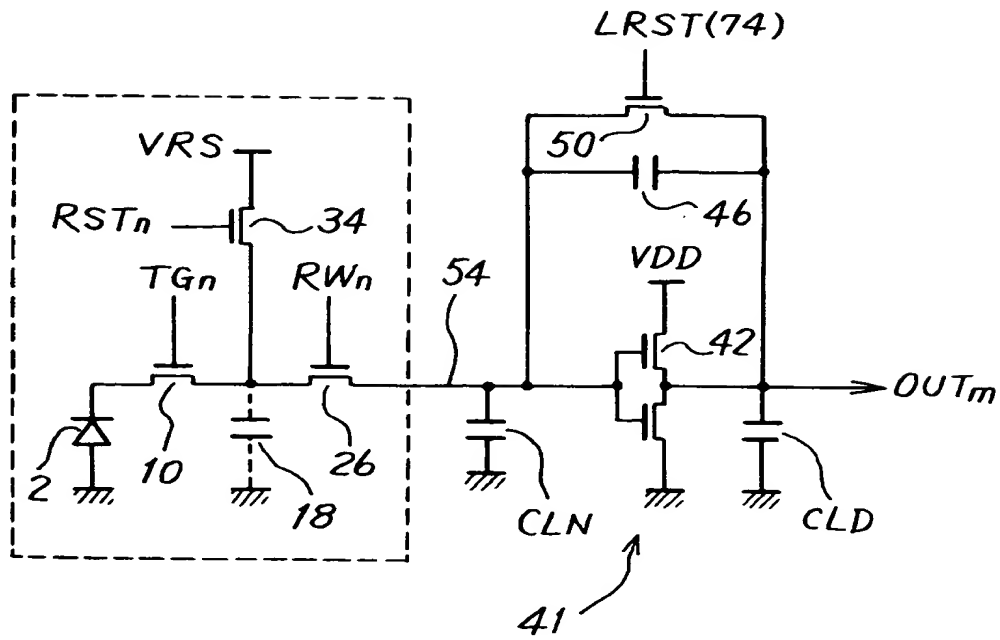
1 0 2 絶縁膜

【書類名】 図面

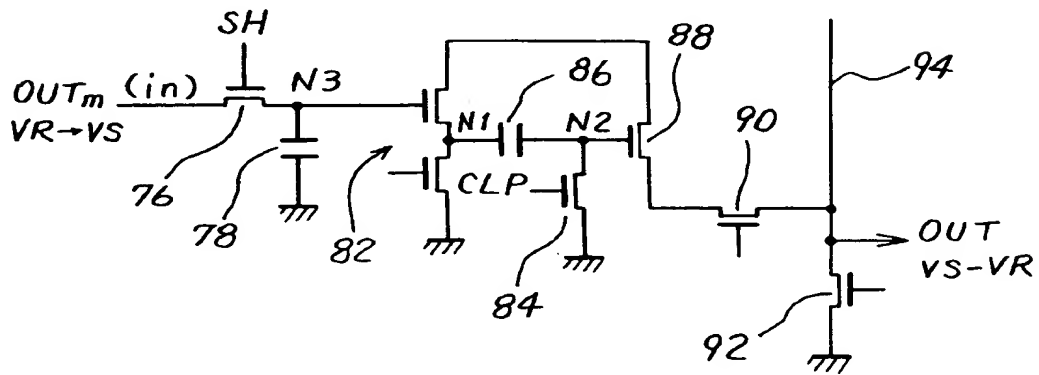
【図 1】



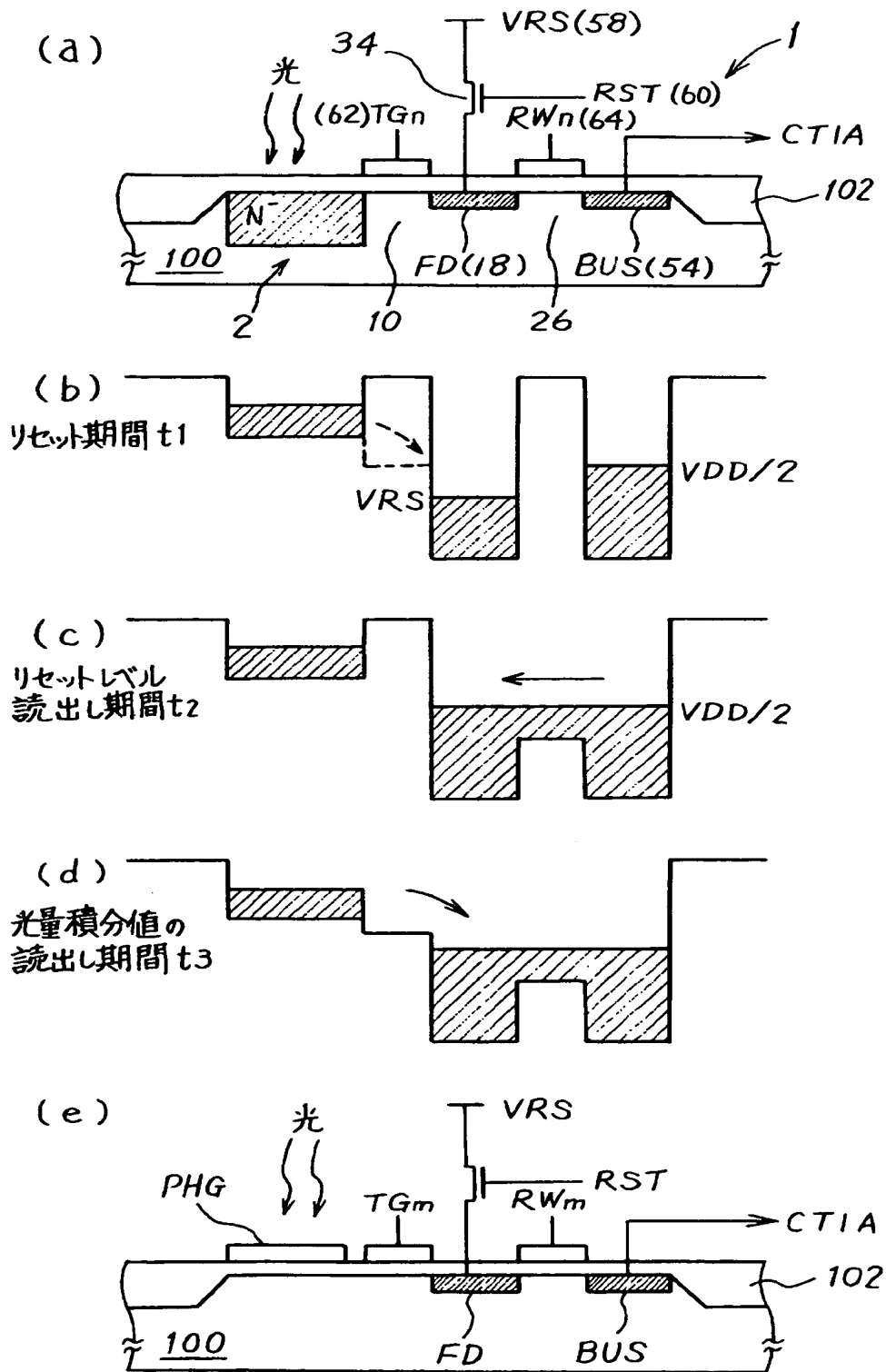
【図 2】



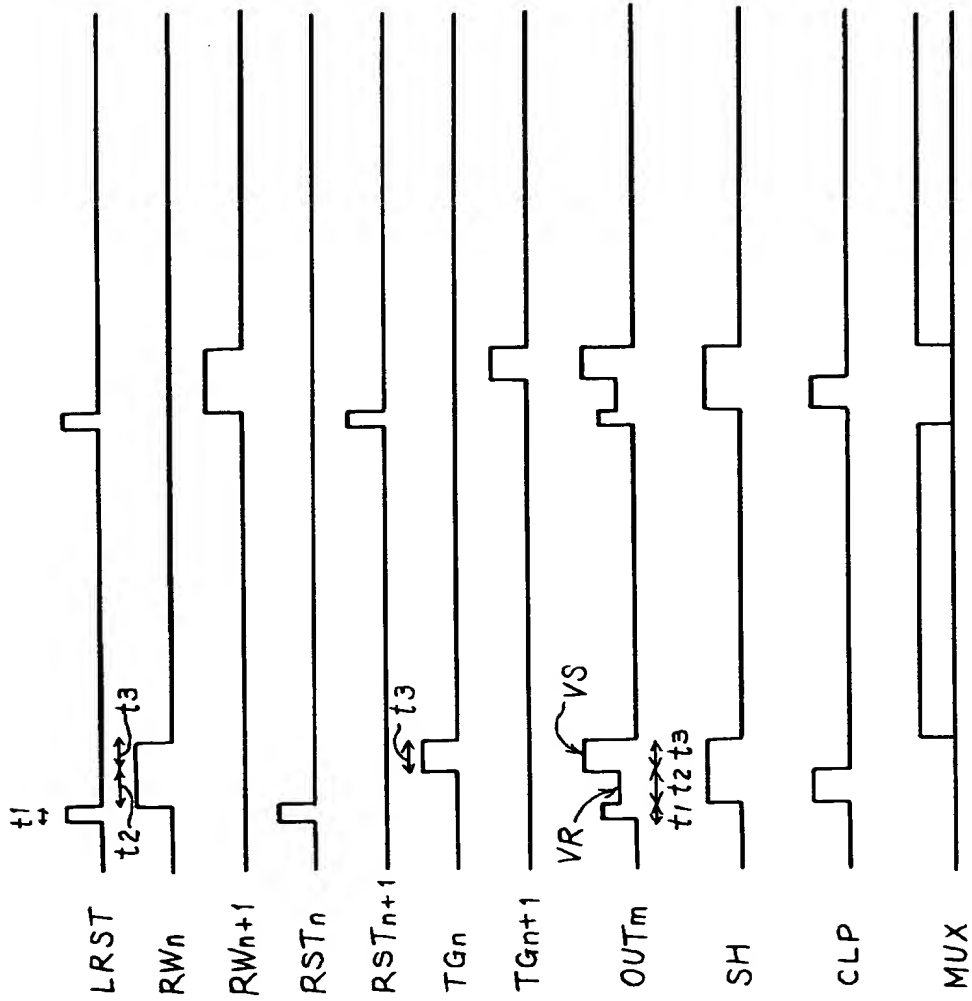
【図 3】



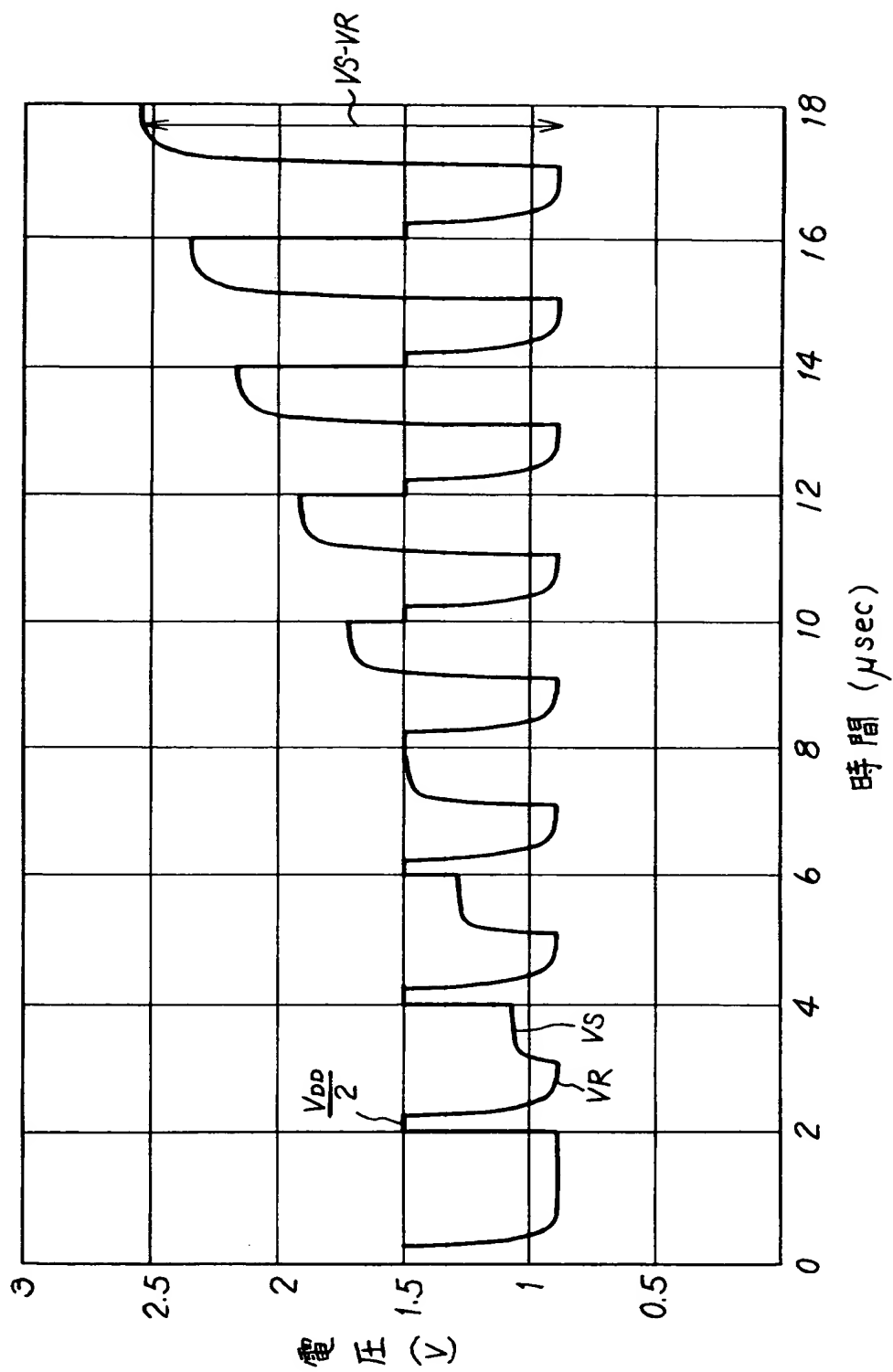
【図4】



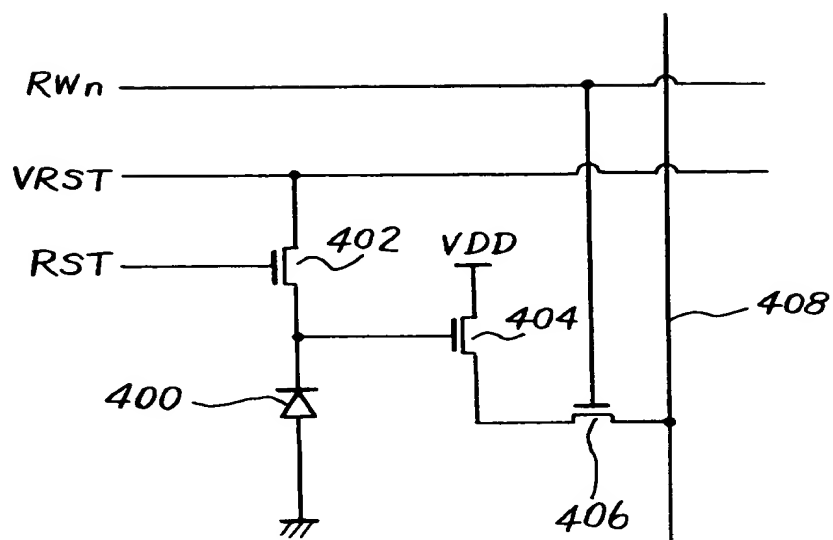
【図 5】



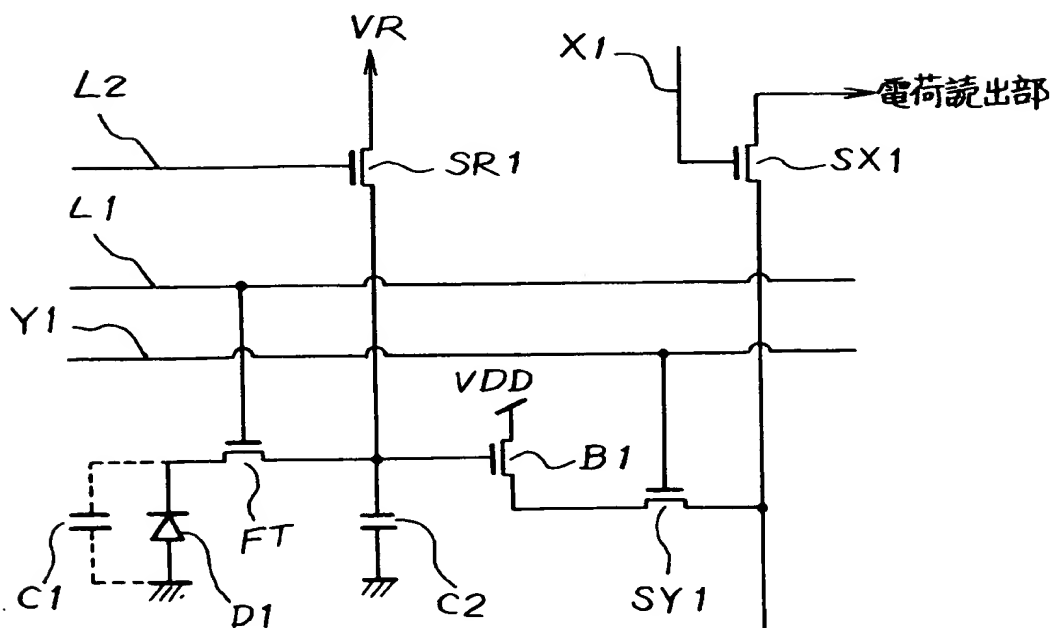
【図 6】



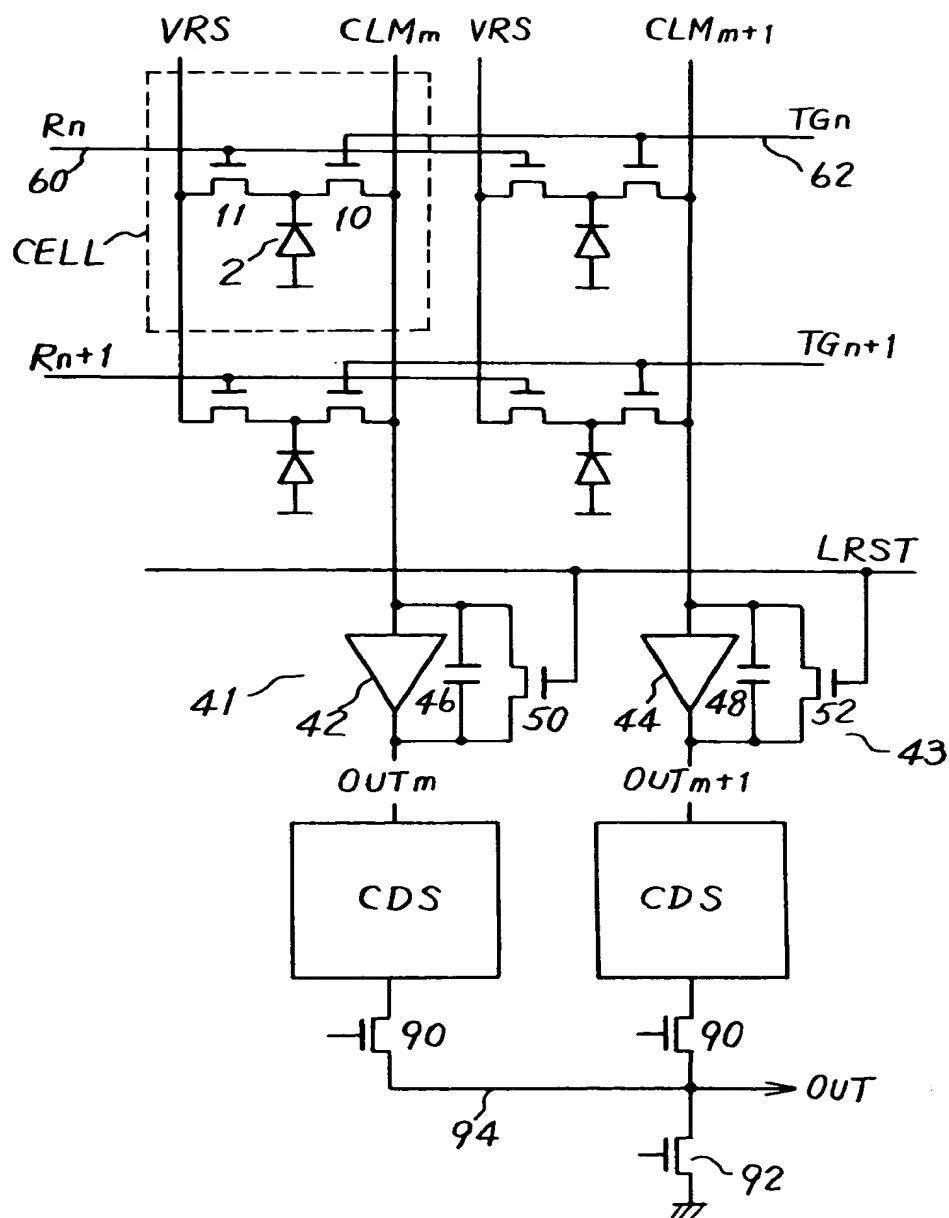
【図 7】



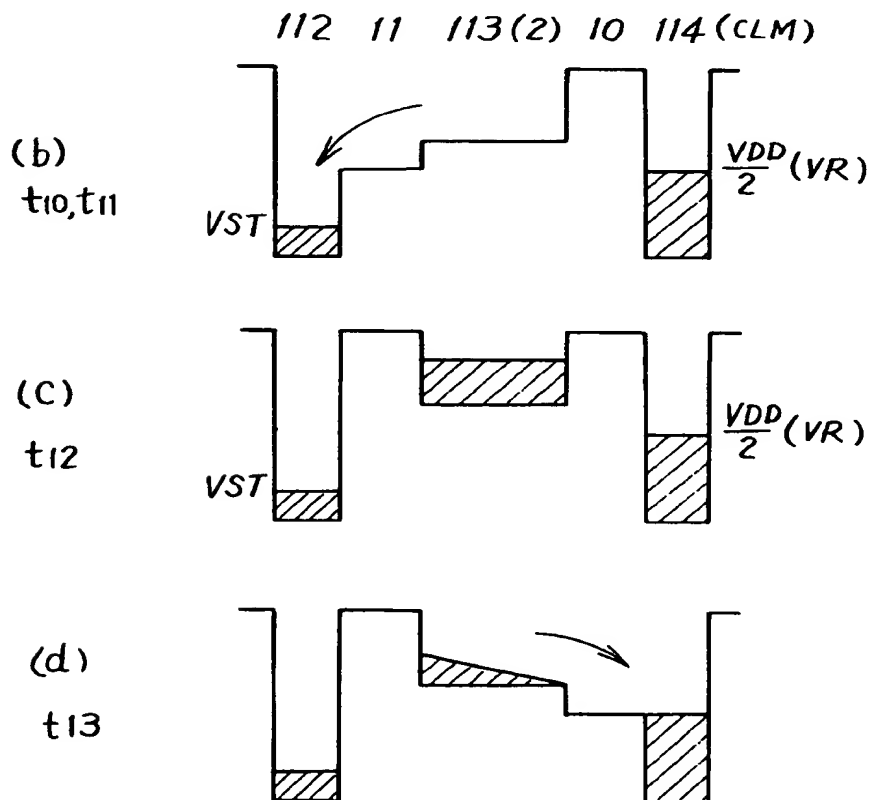
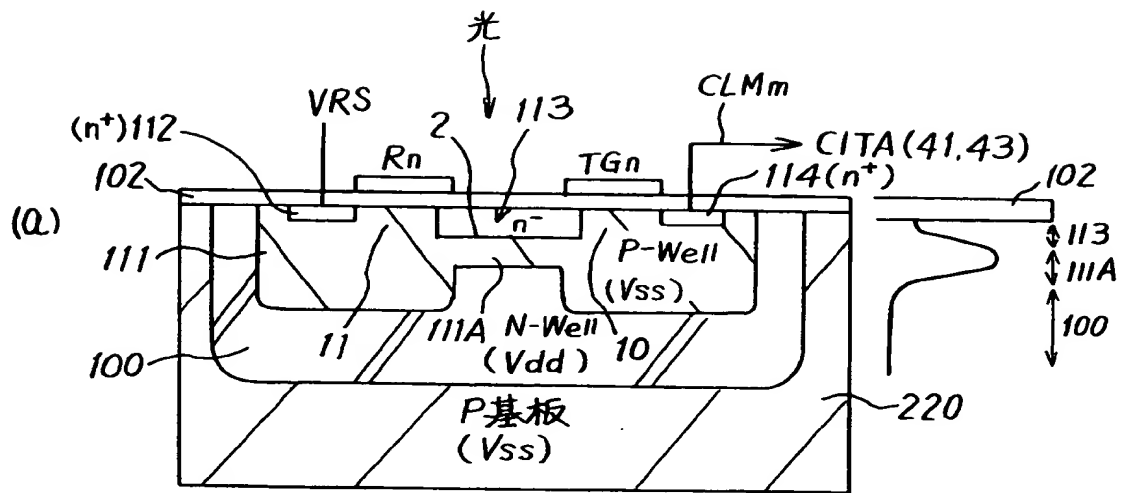
【図 8】



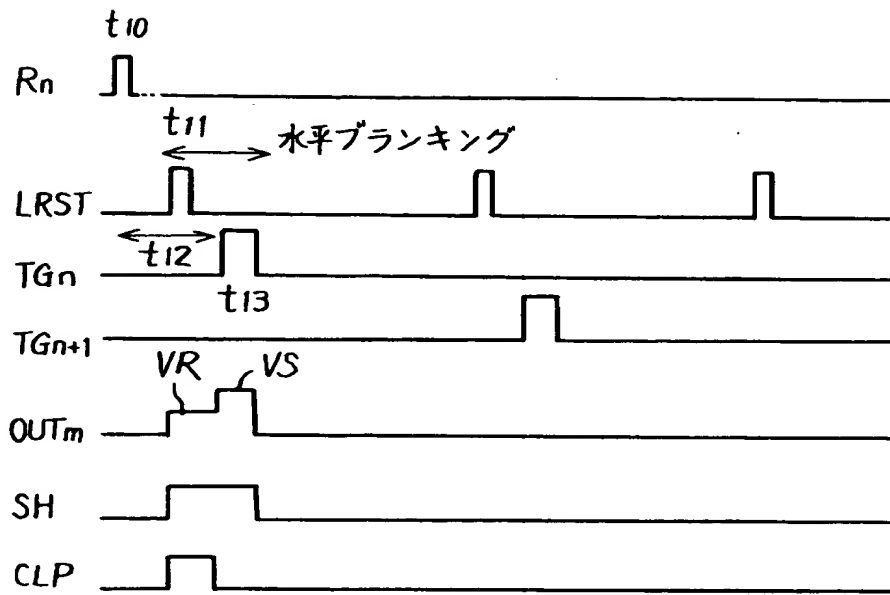
【図9】



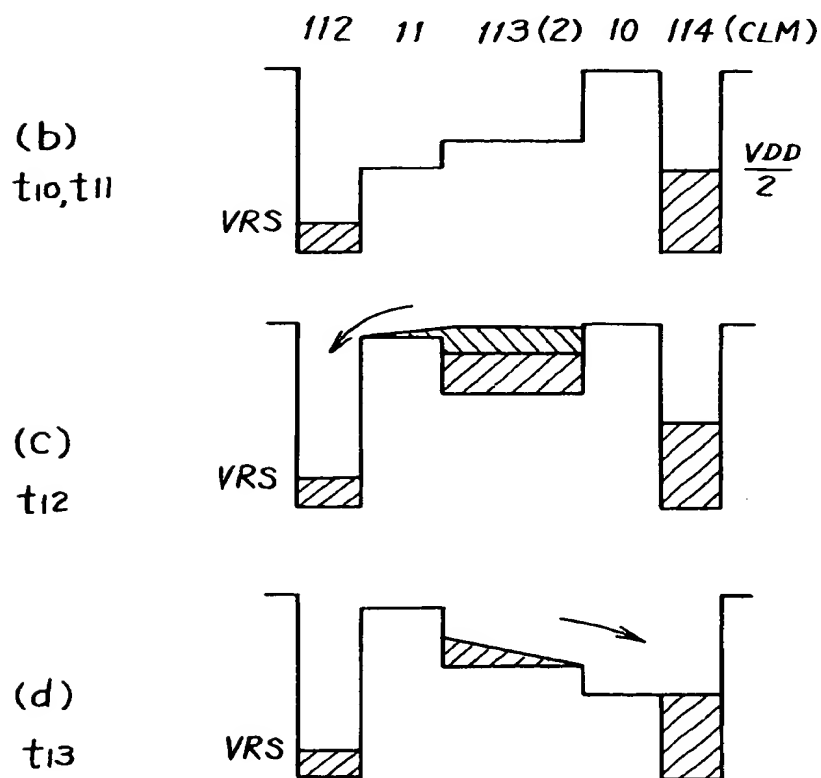
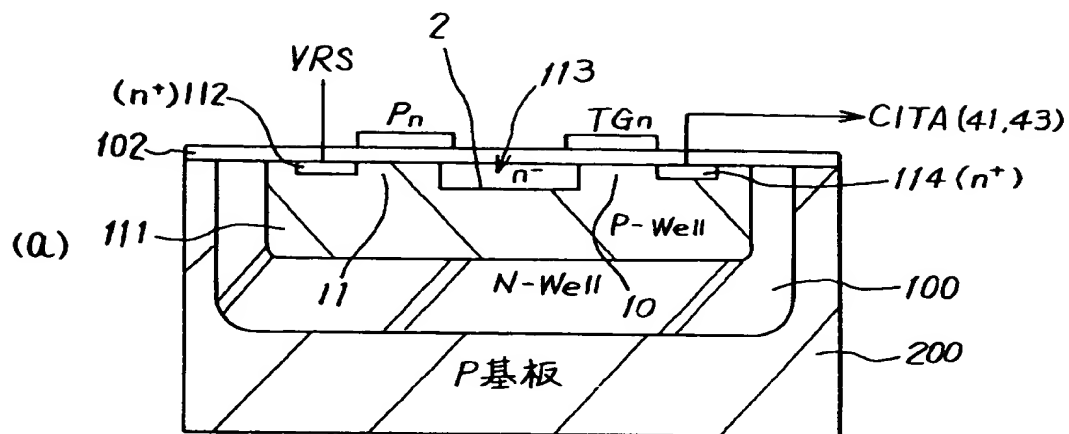
【図10】



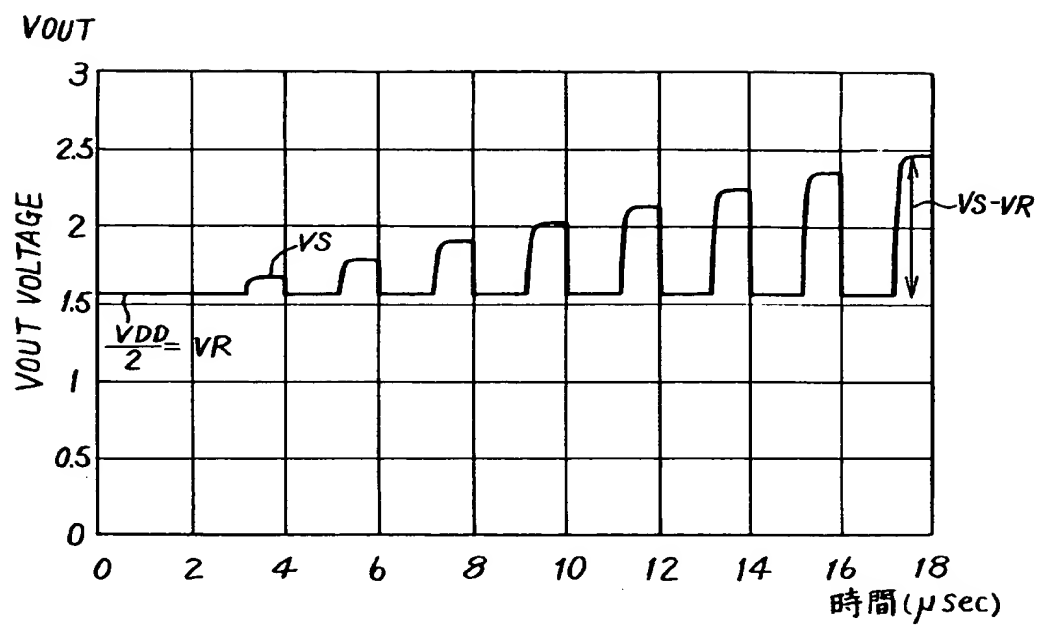
【図 1 1】



【図12】



【図 13】



【書類名】

要約書

【要約】

【課題】画素の構造を簡素化し、熱雑音や固定パターン雑音の影響を低減した固体撮像装置を提供する。

【解決手段】本発明の固体撮像装置の画素は、入射光を光電変換する感光部2と、感光部に蓄積された電荷を移送する移送ゲート10と、移送ゲートから移送された電荷を蓄積するリセット可能な検出容量18と、選択信号に基づいて検出容量の電荷を出力する選択スイッチ26とを有する。そして、複数の画素の前記選択スイッチを介して前記検出容量の電荷が出力される選択線CLMと、選択線に出力された検出容量の電荷を電圧に変換する電荷増幅器41とを有する。そして、電荷増幅器41の出力は、サンプリング回路及び相関二重サンプリング回路に接続される。そして、検出容量18をリセットレベルにし、そのリセットレベルに応じた電圧を相関二重サンプリング回路に保持し、更に、感光部が蓄積した電荷に応じた検出レベルを相関二重サンプリング回路に保持して、リセットレベルと検出レベルとの差電位を検出する。

【選択図】図1

認定・付加情報

特許出願の番号	特願2000-158023
受付番号	50000658792
書類名	特許願
担当官	仲村 百合子 1730
作成日	平成12年 6月 2日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

【代理人】

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社